



2800 0450  
**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Ryuichi HATA

Application No.: 10/026,880

Filed: December 27, 2001

Docket No.: 111468

For: CONTENT ADDRESSABLE MEMORY HAVING DATA WIDTH EXTENSION  
CAPABILITY

**CLAIM FOR PRIORITY**

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

**RECEIVED**

JUN 12 2002

Technology Center 2100

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-397268 filed December 27, 2000

In support of this claim, a certified copy of said original foreign application:

  X   is filed herewith.

       was filed on        in Parent Application No.        filed       .

       will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

JAO:TJP/mlb  
Date: January 22, 2002

**OLIFF & BERRIDGE, PLC**  
P.O. Box 19928  
Alexandria, Virginia 22320  
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--------------------------------------------------------------------------------------------------------------------------------------------------------



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月27日

RECEIVED

JUN 12 2002

出 願 番 号

Application Number:

特願2000-397268

Technology Center 2100

出 願 人

Applicant(s):

川崎マイクロエレクトロニクス株式会社

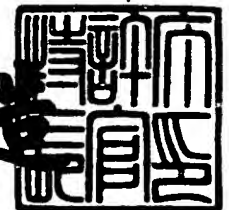
RECEIVED  
JUN 12 2002  
TC 2800 MAIL ROOM

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年12月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3112740

【書類名】 特許願

【整理番号】 00J01428

【提出日】 平成12年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 15/00

【発明者】

    【住所又は居所】 東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社  
社東京本社内

    【氏名】 簾 竜一

【特許出願人】

    【識別番号】 000001258

    【氏名又は名称】 川崎製鉄株式会社

【代理人】

    【識別番号】 100080159

    【弁理士】

    【氏名又は名称】 渡辺 望稔

    【電話番号】 3864-4498

【選任した代理人】

    【識別番号】 100090217

    【弁理士】

    【氏名又は名称】 三和 晴子

    【電話番号】 3864-4498

【手数料の表示】

    【予納台帳番号】 006910

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特 2 0 0 0 - 3 9 7 2 6 8

【包括委任状番号】 9712299

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 連想メモリ

【特許請求の範囲】

【請求項 1】

複数のワードを連結して構成された複数のエントリを含むメモリアレイを備える連想メモリであって、

前記メモリアレイは、各々の前記エントリを構成する複数のワードの内の各々に対応する、前記エントリの個数分のワードを含む複数の物理セグメントのメモリブロックを備え、

各々の前記物理セグメントのメモリブロックは、それぞれ 1 ワード分のデータを記憶し、この記憶されたデータと検索ビット線上にドライブされた検索データとの一致検索を行って、その一致不一致の検出結果である一致フラグを出力する、前記エントリの個数分の 1 ワード回路と、前記検索データに応じて、各々に対応する物理セグメントのメモリブロックの前記検索ビット線をドライブする検索ビット線ドライバとを備え、

前記一致検索を行うに際し、検索対象の物理セグメントのメモリブロックにおいてのみ、前記検索ビット線ドライバにより前記検索ビット線をドライブすることを特徴とする連想メモリ。

【請求項 2】

各々の前記物理セグメントのメモリブロックは、さらに、各々に対応する物理セグメントのメモリブロックに含まれる各々の 1 ワード回路から出力される一致フラグを保持するためのタイミング信号である一致フラグ制御信号を発生する一致フラグ制御信号発生回路を備え、

前記一致検索を行うに際し、検索対象の物理セグメントのメモリブロックにおいてのみ、前記一致フラグ制御信号を発生することを特徴とする請求項 1 に記載の連想メモリ。

【請求項 3】

請求項 1 または 2 に記載の連想メモリであって、

さらに、何個のワードを連結して前記エントリを構成するのかを設定するエン

トリ構成設定レジスタと、このエントリ構成設定レジスタの設定に応じて、検索対象の論理セグメントのメモリブロックを物理セグメントのメモリブロックに変換する論理セグメントー物理セグメント変換回路とを備え、

1ワード、または、複数のワードを連結して各々の前記エントリを構成するよう設定可能に構成されていることを特徴とする連想メモリ。

【請求項4】

各々の前記1ワード回路は、複数のCAMセルを有するCAMメモリワードと、このCAMメモリワードから出力される一致フラグを処理するワードロジックとを備え、

前記ワードロジックは、前記一致フラグを保持する一致フラグレジスタと、複数のワードの一致フラグを連結するANDチェーンと、前記エントリとしての一致フラグを出力するエントリ一致出力回路とを備え、

各々の前記エントリを構成する複数のワードの内の先頭アドレスまたは最終アドレスのワードを、各々対応するエントリの代表ワードとし、

各々の前記エントリを構成するワードが前記代表ワードではない場合、前記ANDチェーンからは、前のワードとの一致フラグのAND結果が出力され、

各々の前記エントリを構成するワードが前記代表ワードの場合、前記ANDチェーンは次のワードから論理的に切り離され、前記エントリ一致出力回路からは、前記エントリ一致出力として、各々対応するエントリを構成する複数のワードの一致フラグのAND結果が出力されることを特徴とする請求項1～3のいずれかに記載の連想メモリ。

【請求項5】

初回一致検索を行う前に、全ての前記一致フラグレジスタを初期化して一致の状態とする初期化手段を備えていることを特徴とする請求項4に記載の連想メモリ。

【請求項6】

前記CAMセルは、不一致検出型のCAMセルであって、

検索対象外の物理セグメントのメモリブロックの全ての一致フラグは初期状態である一致の状態に保持され、初回検索時に、前記一致フラグを各々対応する一

致フラグレジスタに取り込むことを特徴とする請求項 4 に記載の連想メモリ。

【請求項 7】

各々の前記物理セグメントのメモリブロックは、同一タイミングで動作する複数のブロックに分割されていることを特徴とする請求項 1 ～ 6 のいずれかに記載の連想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一致検索の行われるデータ幅を複数のワードに拡張する機能、すなわち、複数のワードを連結して 1 つのエントリを構成し、エントリを構成する複数のワードのそれぞれに対して一致検索を行い、全てのワードにおいて一致が検出された場合に、エントリとしての一致が検出される機能を備えた連想メモリに関するものである。

【0002】

【従来の技術】

従来より、配列された複数の各メモリワードそれぞれに各デジタルデータを記憶しておき、検索データを入力し、入力された検索データの全部もしくは所定の一部のビットパターンと一致するビットパターンを有するデジタルデータが記憶されたメモリワードを検索する連想メモリ (Associative Memory, 内容アドレス式メモリ; Content Addressable Memory) が提案されている。

【0003】

図 8 は、連想メモリの一例を表わした回路ブロック図である。この連想メモリ 100 には、m ビットを 1 ワードとする、互いに図の横方向に並ぶ m ビットのメモリセルからなる多数のメモリワード 110\_1, 110\_2, ..., 110\_n が備えられている。またこの連想メモリ 100 は、1 ワードの検索データが入力されラッチされる検索データレジスタ 120 を備え、検索データレジスタ 120 にラッチされた検索データの全部もしくは所定の一部のビットパターンと、各メモリワード 110\_1, 110\_2, ..., 110\_n に記憶された格納データの

うち上記ビットパターンと対応する部分のビットパターンとの一致不一致が比較され、各メモリワード110\_\_1, 110\_\_2, ..., 110\_\_nのそれぞれに対応して備えられた一致線140\_\_1, 140\_\_2, ..., 140\_\_nのうちビットパターンが一致したメモリワード110\_\_1, 110\_\_2, ..., 110\_\_nに対応する一致線140\_\_1, 140\_\_2, ..., 140\_\_nに論理‘1’（ここでは電源電位とする）の一致信号が出力される。それ以外の一致線140\_\_1, 140\_\_2, ..., 140\_\_nは論理‘0’（ここでは接地電位とする）にとどまる。

#### 【0004】

これらの一致線140\_\_1, 140\_\_2, ..., 140\_\_nに出力された信号は、各フラグレジスタ150\_\_1, 150\_\_2, ..., 150\_\_nに格納される。ここでは、一例として、図示のように、各フラグレジスタ150\_\_1, 150\_\_2, ..., 150\_\_nにそれぞれ‘0’, ‘1’, ‘1’, ‘0’, ..., ‘0’, ‘0’が格納されたものとする。これらのフラグレジスタ150\_\_1, 150\_\_2, ..., 150\_\_nに格納された信号はプライオリティエンコーダ160に入力される。プライオリティエンコーダ160には、エンコードパルスEPが入力され、エンコードパルスEPが入力される毎に、所定の優先順位づけに従って、論理‘1’の信号が格納されたフラグレジスタ（ここではフラグレジスタ150\_\_2とフラグレジスタ150\_\_3の2つ）のうちの優先度の高いフラグレジスタに対応するアドレス信号ADが順次出力される。ここでは、添字が若いほど優先順位が高いものとし、従ってエンコードパルスEPが1つだけ入力されると、フラグレジスタ150\_\_2に対応するメモリアドレスが出力される。このプライオリティエンコーダ160から出力されたアドレス信号ADは、必要に応じてアドレスデコーダ170に入力される。アドレスデコーダ170ではこの入力されたアドレス信号ADをデコードして、各メモリワード110\_\_1, 110\_\_2, ..., 110\_\_nそれぞれに対応して備えられたワード線180\_\_1, 180\_\_2, ..., 180\_\_nのうちの入力されたアドレス信号ADに対応するいずれか1本のワード線（ここではワード線180\_\_2）にアクセス信号（ここでは論理‘1’の信号）を出力する。これによりアクセス信号の出力されたワード線180\_\_2に対応するメモリワード110\_\_2に記憶されている格納データが出力レジスタ19



0に読み出される。

【0005】

次に、エンコードパルスEPがもう1つ入力されると、今度はフラグレジスタ150\_\_3に対応するメモリワード110\_\_3のアドレスを得ることができる。上記のように、連想メモリ100は、検索データの全部もしくは所定の一部のデータを用いて多数のメモリワード110\_\_1, 110\_\_2, ..., 110\_\_nに記憶された格納データを検索し、一致する格納データを有するメモリワードのアドレスを得、必要に応じてそのメモリワードに記憶されたデータ全体を読み出すことができるように構成されたメモリである。

【0006】

上記のような基本構成を有する連想メモリにおいて、一致検索の対象となるデータ幅を2ワードもしくはそれ以上の複数ワードに拡張する技術が提案されている。図9は、データ拡張機能を備えた連想メモリの一例を示すブロック図である。図8に示した連想メモリの構成要素と対応する構成要素には、図8に付した符号と同一の符号を付して示し、その要素についての重複説明は省略する。

【0007】

各メモリワード110\_\_1, 110\_\_2, ...から延びる各一致線140\_\_1, 140\_\_2, ..., は、各アンドゲート200\_\_1, 200\_\_2, ...の一方の入力端子に接続されている。また各アンドゲート200\_\_1, 200\_\_2, ...の他方の入力端子には各オアゲート210\_\_2, 210\_\_3, ...の出力端子が接続されており、各オアゲート210\_\_2, 210\_\_3, ...の一方の入力端子は、初回検索制御線220に接続されている。ただし図示の一番上のアンドゲート200\_\_1に対応するオアゲートは省略されており、そのアンドゲート200\_\_1の入力端子に初回検索御線220が直接接続されている。

【0008】

各アンドゲート200\_\_1, 200\_\_2, ...の出力端子は各第1のフラグレジスタ230\_\_1, 230\_\_2, ...のデータ入力端子に接続され、各第1のフラグレジスタ230\_\_1, 230\_\_2, ...の出力端子は各第2のフラグレジスタ240\_\_1, 240\_\_2, ...の入力端子に接続されている。各第2のフラグレジスタ

2 4 0 \_ 1, 2 4 0 \_ 2, …の出力端子は、図 8 に示すプライオリティエンコーダ 1 6 0 (図 9 では図示省略) に接続されるとともに、図 9 の下方に隣接するメモリワードに対応するオアゲート 2 1 0 \_ 2, 2 1 0 \_ 3, …の入力端子に接続されている。

#### 【 0 0 0 9 】

互に対応する第 1 および第 2 のフラグレジスタ 2 3 0 \_ 1, 2 4 0 \_ 1, ; 2 3 0 \_ 2, 2 4 0 \_ 2, …の各ペアが図 8 に示す各フラグレジスタ 1 5 0 \_ 1, 1 5 0 \_ 2, …に対応する。第 1 のフラグレジスタ 2 3 0 \_ 1, 2 3 0 \_ 2, …と第 2 のフラグレジスタ 2 4 0 \_ 1, 2 4 0 \_ 2, …には、ともに、一致結果ラッチ制御線 2 5 0 に出力される一致結果ラッチ信号 S 1 が入力され、その一致結果ラッチ信号 S 1 により各データ入力端子から入力された入力データがラッチされるが、第 1 のフラグレジスタ 2 3 0 \_ 1, 2 3 0 \_ 2, …には、一致結果ラッチ信号 S 1 の立ち上がり a の時点における入力データがラッチされ、第 2 のフラグレジスタ 2 4 0 \_ 1, 2 4 0 \_ 2, …には、一致結果ラッチ信号 S 1 の立ち下がり b の時点の入力データがラッチされる。

#### 【 0 0 1 0 】

以上のように構成された連想メモリにおいては、以下のようにして一致検索が行われる。尚、ここでは図示のように、各メモリワード 1 1 0 \_ 1, 1 1 0 \_ 2, 1 1 0 \_ 3, 1 1 0 \_ 4, 1 1 0 \_ 5, 1 1 0 \_ 6 …には、各格納データ A, B, C, D, C, F, …が格納されているものとする。ここで、各格納データを単独に検索する際は、検索データ REF \_ DATA を入力して検索を行う際に、初回検索制御線 2 2 0 に初回検索タイミング信号 S 2 を出力する。ここでは、検索データ REF \_ DATA としてデータ 'B' を入力したものとすると、データ 'B' が格納されたメモリワード 1 1 0 \_ 2 に対応する一致線 1 4 0 \_ 2 に論理 '1' の一致信号が出力されてアンドゲート 2 0 0 \_ 2 に入力され、また、これとともに初回検索タイミング信号 S 2 がオアゲート 2 1 0 \_ 2 を経由してアンドゲート 2 0 0 \_ 2 に入力されるため、アンドゲート 2 0 0 \_ 2 から論理 '1' の信号が出力される。またこのとき、他の一致線 1 4 0 \_ 1 ; 1 4 0 \_ 3, 1 4 0 \_ 4, …には論理 '0' の信号が出力されるため、それに対応する他のアンドゲ

ート 2 0 0 \_ 1 ; 2 0 0 \_ 3 , 2 0 0 \_ 4 , … からは論理 ‘0’ の信号が出力される。

#### 【0 0 1 1】

アンドゲート 2 0 0 \_ 2 から出力された論理 ‘1’ の信号は、一致結果ラッチ制御線 2 5 0 に出力された一致結果ラッチ信号 S 1 の立ち上がり a のタイミングで第 1 のフラグレジスタ 2 3 0 \_ 2 にラッチされ、それに引き続く一致結果ラッチ信号 S 1 の立ち下がり b のタイミングで第 2 のフラグレジスタ 2 4 0 \_ 2 にラッチされる。

#### 【0 0 1 2】

また第 1 のフラグレジスタ 2 3 0 \_ 2 および第 2 のフラグレジスタ 2 4 0 \_ 2 に論理 ‘1’ の信号がラッチされる各タイミングで、他の第 1 フラグレジスタ 2 3 0 \_ 1 ; 2 3 0 \_ 3 , 2 3 0 \_ 4 , …、および他の第 2 のフラグレジスタ 2 4 0 \_ 1 ; 2 4 0 \_ 3 , ; 2 4 0 \_ 4 , … には論理 ‘0’ の信号がラッチされる。このようにして各第 2 のフラグレジスタ 2 4 0 \_ 1 , 2 4 0 \_ 2 , 2 4 0 \_ 3 , … にラッチされた論理 ‘0’ , ‘1’ , ‘0’ , … の信号が図 8 に示すプライオリティエンコーダ 1 6 0 に入力され、メモリワード 1 1 0 \_ 2 のアドレス信号 A D が得られる。

#### 【0 0 1 3】

次に、データ幅が拡張された検索を行う場合について説明する。ここでは、2 ワードに拡張された、データ ‘B’ とデータ ‘C’ からなる 2 ワードデータを検索する場合について説明する。この場合、先ず上記と同様にして、データ ‘B’ の検索を行う。これにより、メモリワード 1 1 0 \_ 2 に対応する第 1 および第 2 のフラグレジスタ 2 3 0 \_ 2 , 2 4 0 \_ 2 に論理 ‘1’ の信号がラッチされる。次に検索データ REF \_ DATA としてデータ ‘C’ を入力して検索を行うが、このときは初回検索制御線 2 2 0 には初回検索タイミング信号 S 2 は出力せずに、初回検索制御線 2 2 0 は論理 ‘0’ の状態に保っておく。検索データ REF \_ DATA としてデータ ‘C’ を入力して検索を行うと、図示の 2 つのメモリワード 1 1 0 \_ 3 , 1 1 0 \_ 5 にそれぞれ対応する一致線 1 4 0 \_ 3 , 1 4 0 \_ 5 に論理 ‘1’ の一致信号が出力されるが、オアゲート 2 1 0 \_ 3 には、第 2 のフラ

レジスタ 2 4 0 \_ 2 にラッチされている論理 ' 1 ' の信号が入力されているため一致線 1 4 0 \_ 3 の一致信号はアンドゲート 2 0 0 \_ 3 を通過し、第 1 および第 2 のフラグレジスタ 2 3 0 \_ 3 , 2 4 0 \_ 3 に、一致を表わす論理 ' 1 ' の信号がラッチされる。一方オアゲート 2 1 0 \_ 5 には、第 2 のフラグレジスタ 2 4 0 \_ 4 にラッチされている論理 ' 0 ' の信号が入力されているため一致線 1 4 0 \_ 5 の一致信号はアンドゲート 2 0 0 \_ 5 で遮断され、第 1 および第 2 のフラグレジスタ 2 3 0 \_ 5 , 2 4 0 \_ 5 には不一致を表わす論理 ' 0 ' の信号がラッチされることになる。このようにして、データ ' B ' とデータ ' C ' のペアからなる 2 ワードデータの一致検出が行われる。3 ワード以上のデータの一致検出も同様にして行われる。

## 【 0 0 1 4 】

## 【発明が解決しようとする課題】

ただし、図 9 に示す連想メモリは、データ幅拡張機能を備えてはいるが、2 ワード、3 ワード等に拡張されるデータは、互いに隣接したメモリワードに所定の順序で格納されている必要があり、検索しようとする複数のデータが互いに離れたメモリワードに格納されている場合や逆の順序、例えばデータ ' C ' , データ ' B ' の順序に格納されている場合には複数のデータを結合した一致検出を行うことはできない。

## 【 0 0 1 5 】

このような検索が必要となる場合のデータ構造を、図 1 0 に示す。図 1 0 には、それぞれ属性 I , I I , I I I , I V が付された 4 つのデータがセットとなって 1 つのデータ群を構成しているデータ構造が示されている。データ群および属性の概念を明確にするために一例を挙げると、例えば各群番号 1 , 2 , 3 , 4 , … 毎の各データ群は各個人に属するデータであり、属性 I はその人の氏名、属性 I I はその人の生年月日、属性 I I I は住所、……等を示している。

## 【 0 0 1 6 】

このように各属性 I , I I , I I I , I V が付された複数のデータからなるデータ群を連想メモリに格納しておいて検索を行う場合に、例えば群番号 1 のデータ群を検索する場合を例に説明すると、データ ' A ' の検索とデータ ' B ' の検

索をこの順に行って、一致するデータ群の残りのデータ‘C’，‘D’を読み出すことだけではなく、例えばデータ‘A’の検索とデータ‘D’の検索を行って残りのデータ‘B’，‘C’を読み出したい場合や、データ‘B’の検索を先に行い、次にデータ‘A’の検索を行いたい場合がある。

## 【0017】

しかし、上述したワード幅拡張機能を備えた連想メモリ（図9参照）では、このような検索は不可能である。また上述した連想メモリでは、データ‘A’とデータ‘B’の検索を行った場合に、図10に示す群番号1の欄にある属性Ⅰの付されたデータ‘A’と属性ⅠⅠの付されたデータ‘B’とのペアと、群番号4の欄にある属性ⅠⅠの付されたデータ‘A’と属性ⅠⅠⅠの付されたデータ‘B’とのペアとの区別をすることはできず、例えば、‘氏名’という属性Ⅰと‘生年月日’という属性ⅠⅠの情報を基にそれらが一致する特定の個人の属性ⅠⅠⅠ，ⅠⅤの情報を知ろうとしても、属性ⅠⅠと属性ⅠⅠⅠのペアでも一致が検出される等必要な情報以外のノイズが混入してしまうことになる。

## 【0018】

また、消費電力の観点からも、上述した連想メモリは問題を抱えている。すなわち、図10のデータ構造からなるデータ群の検索を行う場合、ある属性について検索をする際に、他の属性を格納しているメモリワードについては本来検索をする必要がないにも係わらず、検索対象となる属性が格納されているメモリワードと同様に検索動作が行われてしまうという問題である。一般に、連想メモリの消費電力のうち、検索データ線および一致線の占める比重が非常に大きいため、これらの不必要な動作を抑えることが消費電力を抑えるために重要となる。

## 【0019】

なお、上記の従来例においては、説明を簡略化するために、メモリワードを一次元に配列してあるが、容量の大きな連想メモリでは、このような一次元に配列したメモリワードブロックを複数個並べ、優先順位エンコーダを図中縦方向および横方向に設けた二次元構造を採っている。このような二次元に配列した連想メモリの具体的な説明については既に公知の技術となっているので、ここでの図示および説明は省略するものとする。

## 【 0 0 2 0 】

以上のように、1 エントリを複数ワードに拡張した従来の連想メモリには、エントリ内の互いに離れたアドレスのワードに跨がる一致検索（AND 検索）を行うことができない、エントリを構成するワードを任意の順序で検索することができない、メモリワードはデータの属性を区別するための手段を持たないため、誤った検索結果が生じる場合がある、常に全てのワードが検索対象となるため、消費電力が非常に大きくなる、等の問題点があった。

## 【 0 0 2 1 】

本発明の目的は、前記従来技術に基づく問題点を解消し、ワードの検索を任意の順序で行えるようにするとともに、検索対象外となるワードの検索動作を抑止することにより、大幅に消費電力を低減することができる連想メモリを提供することにある。

## 【 0 0 2 2 】

## 【課題を解決するための手段】

上記目的を達成するために、本発明は、複数のワードを連結して構成された複数のエントリを含むメモリアレイを備える連想メモリであって、

前記メモリアレイは、各々の前記エントリを構成する複数のワードの内の各々対応する、前記エントリの個数分のワードを含む複数の物理セグメントのメモリブロックを備え、

各々の前記物理セグメントのメモリブロックは、それぞれ1ワード分のデータを記憶し、この記憶されたデータと検索ビット線上にドライブされた検索データとの一致検索を行って、その一致不一致の検出結果である一致フラグを出力する、前記エントリの個数分の1ワード回路と、前記検索データに応じて、各々対応する物理セグメントのメモリブロックの前記検索ビット線をドライブする検索ビット線ドライバとを備え、

前記一致検索を行うに際し、検索対象の物理セグメントのメモリブロックにおいてのみ、前記検索ビット線ドライバにより前記検索ビット線をドライブすることを特徴とする連想メモリを提供するものである。

## 【 0 0 2 3 】

ここで、各々の前記物理セグメントのメモリブロックは、さらに、各々対応する物理セグメントのメモリブロックに含まれる各々の1ワード回路から出力される一致フラグを保持するためのタイミング信号である一致フラグ制御信号を発生する一致フラグ制御信号発生回路を備え、

前記一致検索を行うに際し、検索対象の物理セグメントのメモリブロックにおいてのみ、前記一致フラグ制御信号を発生するのが好ましい。

【 0 0 2 4 】

また、上記記載の連想メモリであって、

さらに、何個のワードを連結して前記エントリを構成するのかを設定するエントリ構成設定レジスタと、このエントリ構成設定レジスタの設定に応じて、検索対象の論理セグメントのメモリブロックを物理セグメントのメモリブロックに変換する論理セグメントー物理セグメント変換回路とを備え、

1ワード、または、複数のワードを連結して各々の前記エントリを構成するよう設定可能に構成されているのが好ましい。

【 0 0 2 5 】

また、各々の前記1ワード回路は、複数のCAMセルを有するCAMメモリワードと、このCAMメモリワードから出力される一致フラグを処理するワードロジックとを備え、

前記ワードロジックは、前記一致フラグを保持する一致フラグレジスタと、複数のワードの一致フラグを連結するANDチェーンと、前記エントリとしての一致フラグを出力するエントリ一致出力回路とを備え、

各々の前記エントリを構成する複数のワードの内の先頭アドレスまたは最終アドレスのワードを、各々対応するエントリの代表ワードとし、

各々の前記エントリを構成するワードが前記代表ワードではない場合、前記ANDチェーンからは、前のワードとの一致フラグのAND結果が出力され、

各々の前記エントリを構成するワードが前記代表ワードの場合、前記ANDチェーンは次のワードから論理的に切り離され、前記エントリ一致出力回路からは、前記エントリ一致出力として、各々対応するエントリを構成する複数のワードの一致フラグのAND結果が出力されるのが好ましい。

## 【 0 0 2 6 】

また、初回一致検索を行う前に、全ての前記一致フラグレジスタを初期化して一致の状態とする初期化手段を備えているのが好ましい。

## 【 0 0 2 7 】

また、前記CAMセルは、不一致検出型のCAMセルであって、

検索対象外の物理セグメントのメモリブロックの全ての一致フラグは初期状態である一致の状態に保持され、初回検索時に、前記一致フラグを各々対応する一致フラグレジスタに取り込むのが好ましい。

## 【 0 0 2 8 】

また、各々の前記物理セグメントのメモリブロックは、同一タイミングで動作する複数のブロックに分割されているのが好ましい。

## 【 0 0 2 9 】

## 【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明の連想メモリを詳細に説明する。

## 【 0 0 3 0 】

図1は、本発明の連想メモリの内部構成を表す一実施例のブロック概略図である。同図に示す連想メモリ10は、1ワードで、もしくは、2ワードまたは4ワードを連結（最大4ワードまで連結可能）して1つのエントリを構成するように設定可能なもので、メモリアレイ12と、エントリ構成設定レジスタ14と、論理セグメントー物理セグメント変換回路16と、タイミング発生回路18と、優先順位エンコーダ20とを備えている。

## 【 0 0 3 1 】

図示例の連想メモリ10において、まず、メモリアレイ12は、それぞれN（ $N = 1, 2, 3, \dots$ ）ワードからなる4つ（少なくとも最大連結ワード数分以上）のメモリブロック22を備えている。すなわち、メモリアレイ12全体では4Nワードを備えている。従って、図示例の連想メモリ10では、1つのエントリが1ワード、2ワードおよび4ワードで構成された場合の総エントリ数は、それぞれ4N個、2N個およびN個となる。



## 【 0 0 3 2 】

メモリアレイ 1 2 の各ワードは、それぞれアドレス  $4n$ ,  $4n+1$ ,  $4n+2$ ,  $4n+3$  ( $n=0, 1, 2, \dots$ ) で指定される。本実施例では、アドレス  $4n$  ( $0, 4, 8, \dots$ ) で指定される  $N$ ワードを含むメモリブロック 2 2 を物理セグメント 0 とし、同様に、アドレス  $4n+1$  ( $1, 5, 9, \dots$ )、 $4n+2$  ( $2, 6, 10, \dots$ )、 $4n+3$  ( $3, 7, 11, \dots$ ) で指定される  $N$ ワードを含むメモリブロック 2 2 をそれぞれ物理セグメント 1, 2, 3 とする。

## 【 0 0 3 3 】

各々の物理セグメント 0 ~ 3 のメモリブロック 2 2 は、 $N$ ワード分の 1ワード回路 2 4 と、検索ビット線ドライバ 2 6 と、一致フラグ制御信号発生回路 2 8 とを備えている。

## 【 0 0 3 4 】

メモリブロック 2 2 において、まず、各々の 1ワード回路 2 4 は、それぞれ 1ワード分のデータを記憶し、記憶されたデータと検索データとの一致検索を行って、その一致不一致の検出結果（一致フラグ）を出力するもので、 $m$ ビットの CAMセルからなる CAMメモリワード 3 0 と、この CAMメモリワード 3 0 から的一致線出力を処理するワードロジック 3 2 とを備えている。この 1ワード回路 2 4 の詳細については後述する。

## 【 0 0 3 5 】

続いて、検索ビット線ドライバ 2 6 は、論理セグメントー物理セグメント変換回路 1 6 から入力される検索対象物理セグメント指示信号  $PSS<3:0>$  に従い、検索対象の物理セグメントのメモリブロック 2 2 において、連想メモリ 1 0 の外部から供給される検索データ  $SD<m-1:0>$  に応じて、各々対応する物理セグメントのメモリブロック 2 2 の検索ビット線  $SB<m-1:0>$ ,  $/SB<m-1:0>$  をドライブする。

## 【 0 0 3 6 】

ここで、検索対象物理セグメント指示信号  $PSS<3:0>$  は、検索の対象となる物理セグメントのメモリブロック 2 2 を指示するもので、論理セグメントー物理セグメント変換回路 1 6 から、各々対応する物理セグメント 3 ~ 0 のメモリ

ブロック 2 2 に入力される。

【 0 0 3 7 】

検索ビット線ドライバ 2 6 には、上述する検索対象物理セグメント指示信号および検索データその他、タイミング発生回路 1 8 から、検索ビット線をドライブするタイミングを指示する検索ビット線出力タイミング信号が入力される。また、検索ビット線ドライバ 2 6 によりドライブされる検索ビット線は、各々対応する物理セグメントのメモリブロック 2 2 に含まれる全ての 1 ワード回路の C A M メモリワード 3 0 に接続されている。

【 0 0 3 8 】

連想メモリ 1 0 では、メモリブロック 2 2 毎に検索ビット線ドライバ 2 6 を設けているので、メモリブロック 2 2 毎に検索ビット線のドライブを制御することができる。従って、複数ワードを連結して 1 エントリを構成した場合、検索対象の物理セグメントのメモリブロック 2 2 の検索ビット線のみをドライブし、検索対象外の物理セグメントのメモリブロック 2 2 の検索ビット線のドライブを抑止することにより、消費電力を大幅に削減することができる。

【 0 0 3 9 】

続いて、メモリブロック 2 2 において、一致フラグ制御信号発生回路 2 8 は、各々の 1 ワード回路 2 4 において、C A M メモリワード 3 0 から一致線路上に出力される一致フラグをワードロジック 3 2 内に保持するためのタイミング信号である一致フラグ制御信号を発生する。

【 0 0 4 0 】

一致フラグ制御信号発生回路 2 8 には、タイミング発生回路 1 8 から、一致線出力を保持するタイミングを指示する一致フラグ制御タイミング信号が、また、連想メモリ 1 0 の外部から、1 回目の検索か A N D 検索かを指示する初回検索／A N D 検索指示信号（F I R S T）が、論理セグメントー物理セグメント変換回路 1 6 から、前述の検索対象物理セグメント指示信号 P S S がそれぞれ入力される。

【 0 0 4 1 】

一致フラグ制御信号発生回路 2 8 は、本実施例の場合、初回検索時（F I R S

T = '1' ) には全ての物理セグメントのメモリブロック 2 2 に対して、また、AND 検索時 ( F I R S T = '0' ) には、検索対象の物理セグメントのメモリブロック 2 2 に対してのみ、それぞれ一致フラグ制御信号を発生する。この一致フラグ制御信号は、各々対応する物理セグメントのメモリブロック 2 2 に含まれる全ての 1 ワード回路 2 4 のワードロジック 3 2 に供給される。

#### 【 0 0 4 2 】

続いて、連想メモリ 1 0 において、エントリ構成設定レジスタ 1 4 および論理セグメントー物理セグメント変換回路 1 6 は、このように 4 つの物理セグメント 0 ~ 3 のメモリブロック 2 2 から構成されたメモリアレイ 1 2 を論理的に再構成する機能を実現する。

#### 【 0 0 4 3 】

本実施例の場合、図 2 の概念図に示すように、1 ワードで 1 エントリを構成した場合 ( 図 2 ( a ) ) 、全ての物理セグメント 0 ~ 3 が同一の論理セグメント 0 となる。また、2 ワードを連結して 1 エントリを構成した場合 ( 図 2 ( b ) ) 、物理セグメント 0, 2 が論理セグメント 0、物理セグメント 1, 3 が論理セグメント 1 となり、4 ワードを連結して 1 エントリを構成した場合 ( 図 2 ( c ) ) 、物理セグメント 0 ~ 3 がそれぞれ論理セグメント 0 ~ 3 となる。

#### 【 0 0 4 4 】

ここで、エントリ構成設定レジスタ 1 4 は、アドレスの連続した何個のワードを連結して 1 エントリを構成するのかを設定するレジスタである。この設定値に基づいて、エントリ代表物理セグメント指示信号 E S < 3 : 0 > が出力され、各々対応する物理セグメントのメモリブロック 2 2 に含まれる全ての 1 ワード回路 2 4 のワードロジック 3 2、および、論理セグメントー物理セグメント変換回路 1 6 に供給される。

#### 【 0 0 4 5 】

図 3 は、エントリ構成とエントリ代表物理セグメント指示信号との間の関係を表す一実施例の表である。

本実施例の場合、同図の表 1 に示すように、エントリ構成設定レジスタ 1 4 により、1 ワードで 1 エントリを構成した場合、エントリ代表物理セグメント指示

信号  $ES<3:0> = '1111'$  が出力され、物理セグメント 0～3 全てのメモリブロック 22 がエントリ代表物理セグメントとなる。

【0046】

また、2ワードを連結して1エントリを構成した場合、エントリ代表物理セグメント指示信号  $ES<3:0> = '1010'$  が出力され、物理セグメント 3 および 1 のメモリブロック 22 がエントリ代表物理セグメントとなる。また、4ワードを連結して1エントリを構成した場合、エントリ代表物理セグメント指示信号  $ES<3:0> = '1000'$  が出力され、物理セグメント 3 のメモリブロック 22 がエントリ代表物理セグメントとなる。

【0047】

続いて、論理セグメントー物理セグメント変換回路 16 は、エントリ構成設定レジスタ 14 の設定に応じて、連想メモリ 10 の外部から入力される検索対象論理セグメント番号  $LSS<1:0>$  を物理セグメント番号に変換した検索対象物理セグメント指定信号  $PSS<3:0>$  を出力する。この検索対象物理セグメント指定信号は、各々対応する物理セグメントのメモリブロック 22 の検索ビット線ドライバ 26 および一致フラグ制御信号発生回路 28 に供給される。

【0048】

図 4 は、エントリ構成および検索対象論理セグメント番号と検索対象物理セグメント指定信号との間の関係を表す一実施例の表である。

本実施例の場合、同図の表 2 に示すように、1ワードで1エントリを構成した場合、検索対象論理セグメント番号  $LSS<1:0> = '00'$  により論理セグメント 0 が指定されると、検索対象物理セグメント指定信号  $PSS<3:0> = '1111'$  が出力され、物理セグメント 0～3 全てのメモリブロック 22 が検索対象となる。

【0049】

また、2ワードを連結して1エントリを構成した場合、検索対象論理セグメント番号  $LSS<1:0> = '00'$  により論理セグメント 0 が指定されると、検索対象物理セグメント指定信号  $PSS<3:0> = '0101'$  が出力され、物理セグメント 0, 2 のメモリブロック 22 が検索対象となる。また、検索対象論

理セグメント番号  $LSS<1:0> = '01'$  により論理セグメント 1 が指定されると、検索対象物理セグメント指定信号  $PSS<3:0> = '1010'$  が出力され、物理セグメント 1, 3 のメモリブロック 22 が検索対象となる。

#### 【0050】

また、4ワードを連結して1エントリを構成した場合、検索対象論理セグメント番号  $LSS<1:0> = '00'$  により論理セグメント 0 が指定されると、検索対象物理セグメント指定信号  $PSS<3:0> = '0001'$  が出力され、物理セグメント 0 のメモリブロック 22 が検索対象となる。以下同様に、検索対象論理セグメント番号  $LSS<1:0> = '01'$ 、 $'10'$  および  $'11'$  によりそれぞれ論理セグメント 1, 2, 3 が指定されると、検索対象物理セグメント指定信号  $PSS<3:0> = '0010'$ 、 $'0100'$  および  $'1000'$  が出力され、それぞれ物理セグメント 1, 2, 3 のメモリブロック 22 が検索対象となる。

#### 【0051】

続いて、連想メモリ 10 において、タイミング発生回路 18 は、前述の検索ビット線出力タイミング信号および一致フラグ制御タイミング信号の他、次に述べる優先順位エンコーダ 20 に供給されるエンコード開始信号等を発生する。タイミング発生回路 18 により発生された各種の信号は、各々対応する部位へ供給される。なお、図 1 では、図面の煩雑さを避けるために、タイミング発生回路 18 から出力される信号の接続は省略してある。

#### 【0052】

最後に、優先順位エンコーダ 20 は、所定の優先順位付けに従って、一致が検出されたワードのアドレスを順次エンコードして出力する。優先順位エンコーダ 20 には、全てのワードのエントリ一致出力が入力されており、タイミング発生回路 18 からエンコード開始信号が入力されると、例えば優先順位の高いワードのアドレスから順次出力される。複数ワードを連結して1エントリを構成した場合、エントリ代表ワードのアドレスが出力される。

#### 【0053】

次に、1ワード回路 24 について説明する。

## 【 0 0 5 4 】

図 5 は、1 ワード回路の一実施例の構成概略図である。

前述の通り、1 ワード回路 2 4 は、同図に示すように、CAM メモリワード 3 0 と、ワードロジック 3 2 とを備えている。

ここで、CAM メモリワード 3 0 は、1 ワード分のデータを記憶し、記憶されたデータと検索データとの一致検索を行って、その検出結果である一致フラグを一致線に出力するもので、m ビットの CAM セル 3 4 を備えている。

## 【 0 0 5 5 】

図 6 は、CAM セルの一実施例の構成概略図である。

図示例の CAM セル 3 4 は、不一致検出型の CAM セルであって、1 ビットのデータを記憶する記憶セル 3 6 と、この記憶セル 3 6 に記憶された 1 ビットのデータと検索ビット線 S B、/ S B 上にドライブされる検索データとを比較し、その検出結果である一致フラグを一致線 M L 上に出力する一致検出論理回路 3 8 とを備えている。

## 【 0 0 5 6 】

CAM セル 3 4 において、まず、記憶セル 3 6 は、説明を容易化するために、具体例の図示を省略してあるが、1 ビットのデータを記憶するものであれば、従来公知の S R A M セル、D R A M セルや各種の R O M セルが利用可能である。また、図示例では、記憶セル 3 6 のデータの書き込み／読み出しに係る回路も省略してある。このデータの書き込み／読み出しに係る回路も従来公知のものがいずれも利用可能である。

## 【 0 0 5 7 】

一致検出論理回路 3 8 は、4 つの N M O S ( N 型 M O S トランジスタ) 4 0, 4 2, 4 4, 4 6 を備えている。N M O S 4 0, 4 2 は、一致線 M L とグランド線との間に直列に接続され、そのゲートは、それぞれ記憶セル 3 6 の反転出力端子 / D および検索データ用ビット線 S B に接続されている。また、N M O S 4 4, 4 6 も一致線 M L とグランド線との間に直列に接続され、そのゲートは、それぞれ記憶セル 3 6 の出力端子 D および検索データ用ビットバー線 / S B に接続されている。

## 【 0 0 5 8 】

図示例のCAMセル34では、一致検索を行う前に、あらかじめ検索ビット線SB、／SBがディスチャージされ、かつ、一致線（ML）がプリチャージされる。一致検索時に、検索データ（データ1、データ0、ドントケア）に応じて、検索ビット線SB、／SBが、10、01、00にドライブされると、一致線MLは、不一致の場合にはディスチャージされ、一致の場合にはプリチャージされたままの状態に保持される。

## 【 0 0 5 9 】

なお、CAMセル34の構成は何ら限定されず、不一致検出型のものでも一致検出型のものでもよく、従来公知のものがいずれも利用可能である。ただし、本発明の連想メモリ10では、不一致検出型のCAMセルを使用した場合、検索対象外の物理セグメントのメモリブロック22の一致線が初期状態（一致の状態）を保持し、充放電が行われなため、一致線による消費電力を抑えることができるので好ましい。

## 【 0 0 6 0 】

続いて、1ワード回路24において、ワードロジック32は、本実施例の場合、CAMメモリワード30からの一致線出力を保持する一致フラグレジスタ48と、複数ワードの一致フラグを連結するためのANDチェーンを構成するANDゲート50およびORゲート52と、複数ワードを連結して1エントリを構成した場合のエントリの検出結果を出力するためのエントリ一致出力回路となるANDゲート54とを備えている。

## 【 0 0 6 1 】

ここで、一致フラグレジスタ48のデータ入力端子Dには、CAMメモリワード30からの一致線出力が入力され、そのデータラッチ制御端子には、各々対応する物理セグメントのメモリブロック22の一致フラグ制御信号発生回路28から一致フラグ制御信号が入力される。図示例の場合、一致フラグ制御信号が入力されると、その立上リエッジにより、一致線出力が一致フラグレジスタ48に取り込まれる。

## 【 0 0 6 2 】

ANDチェーンを構成するANDゲート52の一方の入力端子には一致フラグレジスタ48の出力Qが入力され、その他方の入力端子には、隣接するワードのANDチェーン出力が入力される。従って、このANDゲート50からは、このワードの一致フラグレジスタ48からの出力が論理‘1’すなわち一致であり、かつ、隣接するワードのANDチェーン出力が論理‘1’すなわち一致の場合に論理‘1’が出力される。

## 【0063】

ANDチェーン出力を発生するORゲート52の一方の入力端子にはANDゲート50の出力が入力され、その他方の入力端子には、エントリ代表物理セグメント指示信号が入力される。このエントリ代表物理セグメント指示信号は、複数ワードを連結して1エントリを構成した場合に、そのエントリを代表するワードを指示する信号であり、エントリ代表ワードである場合には論理‘1’、代表ワードでない場合には論理‘0’とされる。

## 【0064】

本実施例では、複数ワードを連結して1エントリを構成した場合、そのエントリを構成する最大アドレスのワードが含まれる物理セグメントをエントリ代表物理セグメントとする。従って、検索結果の一致アドレスとして、このエントリ代表物理セグメントのメモリブロック22に含まれるワードのアドレスが出力される。なお、エントリを構成する最小アドレスのワードをエントリ代表ワードとしたい場合、ANDチェーンの向きを反対にすればよい。

## 【0065】

このように構成されたANDチェーン出力は、このワードがエントリ代表ワードではない場合、一致フラグのAND結果が出力され、次のワードでのAND検索のために提供される。他方、エントリ代表ワードであった場合には、AND結果に係わらず論理‘1’が出力され、次のワードとは切り離される。このように、ANDチェーンは、エントリ代表ワードを境にして論理的に区切られることになる。

## 【0066】

エントリー一致出力回路となるANDゲート54の一方の入力端子にはANDゲ



ート50の出力が接続され、その他方の入力端子には、エントリ代表物理セグメント指示信号が接続される。従って、エントリ一致出力として、ANDゲート54からは、このワードがエントリ代表ワードである場合、エントリを構成する複数ワードの一致フラグのAND結果が出力され、エントリ代表ワードでない場合には不一致を示す論理‘0’が出力される。

## 【0067】

前述の通り、連想メモリ10では、1ワード回路24を複数（本実施例では最大4個まで）連結して1エントリを構成することができる。一例として、以下、2ワードを連結して1エントリを構成した場合を例に挙げて説明する。

## 【0068】

図7は、2ワードを連結して1エントリを構成した場合の1ワード回路の一実施例の構成概略図である。

前述の通り、本実施例では、ワード*i*およびワード*i+1*で1エントリを構成し、ワード*i+1*がエントリ代表ワードとなる。すなわち、ワード*i*、*i+1*に入力されるエントリ代表物理セグメント指示信号は、それぞれ論理‘0’および論理‘1’に設定される。

## 【0069】

また、ワード*i-1*は別のエントリのエントリ代表ワードであるため、ワード*i*のANDチェーン入力  
は論理‘1’となる。その結果、図7に示すように、ワード*i*、*i+1*を論理的に接続するANDチェーンが形成され、ワード*i*の一致フラグレジスタ48に保持された一致フラグは、ANDチェーンを介してワード*i+1*に伝搬され、エントリ一致出力として、ワード*i+1*からワード*i*、*i+1*の一致フラグのAND結果が出力される。

## 【0070】

以下、図7の概略図を参照しながら、2ワードを連結して1エントリを構成した場合の検索動作について説明する。

## 【0071】

まず、一連のAND検索結果をエントリ代表ワードに正しく伝搬させるために、初期化手段（図示省略）により、全ての一致フラグレジスタ48を初期化して

一致の状態とする。なお、本実施例のように、不一致検出型のCAMセル34を使用した場合、検索対象外の物理セグメントのメモリブロック22では、全ての一致線は初期状態である一致の状態を保持しているので、初回検索時に、一致フラグを一致フラグレジスタ48に取り込むように構成してもよい。

#### 【0072】

初回検索（FIRST = '1'）、すなわち前回の検索結果が反映されない検索の場合、検索データに応じて、検索対象となる物理セグメントのメモリブロック22の検索ビット線、すなわち、検索対象のワードの検索ビット線のみがドライブされ、検索対象外の物理セグメントのメモリブロック22の検索ビット線、すなわち、検索対象外のワードの検索ビット線は待機状態（本実施例の場合、SB、/SBともに'0'）とされる。

#### 【0073】

これにより、検索対象のワードでは、CAMメモリワード30に記憶されているデータと検索データとの一致検索が同時に行われ、各々対応する一致線に一致フラグが出力される。なお、検索対象外のワードの一致線出力は初期状態である一致の状態に保持される。その後、一致線の状態が確定したタイミングで双方の一致フラグ制御信号にデータ取り込みパルスが与えられ、一致線出力は、各々対応する一致フラグレジスタ48に保持される。

#### 【0074】

なお、検索対象外のワードの一致フラグレジスタ48には初期状態である一致の状態が保持されているので、初回検索として、ワード*i*またはワード*i*+1が含まれる物理セグメントのメモリブロック22のどちらを検索対象にした場合であっても、その結果は、エントリ代表ワード*i*+1のエントリ一致出力に正しく反映される。すなわち、複数のワードを連結して1エントリを構成した場合、どのワードから一致検索をしても正しい検索結果が得られる。

#### 【0075】

続いて、AND検索（FIRST = '0'）、すなわち前回（本実施例の場合、初回検索）の検索結果が反映される検索の場合も、初回検索の場合と同様、検索対象のワードの検索ビット線のみが、検索データに応じてドライブされる。そ

の後、一致線の状態が確定したタイミングで、検索対象のワードの一致フラグ制御信号にのみデータ取り込みパルスが与えられ、一致線出力は、各々対応する一致フラグレジスタ48に保持される。

## 【0076】

AND検索の場合、検索対象外のワードの一致フラグレジスタ48には初回検索時の検索結果が保持されているので、AND検索として、ワード*i*またはワード*i+1*が含まれる物理セグメントのメモリブロック22のどちらを検索対象にした場合であっても、エントリ代表ワード*i+1*からは、エントリ一致出力として、両者の正しいAND検索結果が出力される。すなわち、本発明の連想メモリ10では、任意の順序で一致検索を行うことができる。

## 【0077】

エントリ代表ワードからは、エントリ一致出力として前述のAND検索結果が出力され、優先順位エンコーダ20により、所定の優先順位付けに従って、各エントリ代表ワードのアドレスが順次出力される。

## 【0078】

このように、上記1ワード回路24を複数連結し、検索ビット線および一致フラグレジスタ48のデータ取り込みを独立に制御することにより、検索する順番によらず正しいAND検索結果を得ることができる。また、実際に検索対象のワードの検索ビット線および一致線のみがドライブされ、検索対象外のワードの検索ビット線および一致線はドライブされないので、従来の連想メモリと比べて大幅に消費電力を削減することができる。

## 【0079】

また、検索対象外のワードの一致フラグレジスタ48には初期状態である一致の状態が保持されているので、例えば4ワードを連結して1エントリを構成した場合、1ワード目と3ワード目とのAND検索というように、エントリ内の離れたアドレスのワードに跨がる一致検索を行うことも可能である。これにより、各ワードに記憶されているデータの属性を区別して一致検索を行うことができ、常に正しい結果を得ることができる。

## 【0080】

なお、本実施例では、一致フラグレジスタ 4 8 として、エッジセンシティブ型レジスタ（いわゆるマスタースレーブのフリップフロップ）を使用した場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、レベルセンシティブ型レジスタ（いわゆるラッチ）を使用しても構わない。この場合、一致線の状態が確定した後でラッチを閉じるようタイミング制御すればよいことは言うまでもない。

## 【 0 0 8 1 】

また、本実施例では、1 エントリを最大 4 ワードまで連結して構成可能な例を挙げて説明したが、本発明はこれに限定されず、何ワードを連結して 1 エントリを構成するように設定可能としてもよい。

## 【 0 0 8 2 】

また、上記実施例では、各々の物理セグメントのメモリブロック 2 2 が、各々のエントリを構成する複数のワードの内の各々対応する、エントリの個数分のワードを含んでいるが、本発明はこれに限定されず、各々の物理セグメントのメモリブロック 2 2 は、それぞれ複数のブロックに分割されていてもよい。すなわち、メモリアレイ 1 2 を、1 エントリを構成する最大ワード数以上の物理セグメントのメモリブロック 2 2 に分割してもよい。

## 【 0 0 8 3 】

なお、各々の物理セグメントのメモリブロック 2 2 を複数のブロックに分割した場合、検索ビット線ドライバ 2 6 および一致フラグ制御信号発生回路 2 8 は、各々の物理セグメントのメモリブロック 2 2 において、分割された複数のブロックの間で共用してもよいし、あるいは、各ブロック毎に設け、各ブロック毎に設けられた検索ビット線ドライバ 2 6 および一致フラグ制御信号発生回路 2 8 を同じタイミングで動作させるようにしてもよい。

## 【 0 0 8 4 】

本発明の連想メモリは、基本的に以上のようなものである。

以上、本発明の連想メモリについて詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【 0 0 8 5 】

## 【発明の効果】

以上詳細に説明した様に、本発明の連想メモリは、メモリアレイを、エントリを構成する複数のワードの各々対応した複数のメモリブロックに分割し、一致検索を行うに際して、検索対象のメモリブロックにおいてのみ、検索ビット線をドライブするようにしたものである。

これにより、本発明の連想メモリによれば、検索対象外のメモリブロックの検索ビット線のドライブが抑止されるので、消費電力を大幅に削減することができる。また、本発明の連想メモリによれば、不一致検出型のCAMセルを使用することにより、検索対象外のメモリブロックの一致線が初期状態に保持され、充放電が行われないので、一致線による消費電力も抑えることができる。また、本発明の連想メモリによれば、エントリを構成する複数のワードについて任意の順序で一致検索を行うことができるし、エントリ内の離れたアドレスのワードに跨がる一致検索を行うことも可能である。

## 【図面の簡単な説明】

【図 1】 本発明の連想メモリの一実施例の構成概略図である。

【図 2】 (a)、(b) および (c) は、物理セグメントと論理セグメントとの間の関係を表す一実施例の概念図である。

【図 3】 エントリ構成とエントリ代表物理セグメント指示信号との間の関係を表す一実施例の表である。

【図 4】 エントリ構成および検索対象論理セグメント番号と検索対象物理セグメント指定信号との間の関係を表す一実施例の表である。

【図 5】 1 ワード回路の一実施例の構成概略図である。

【図 6】 CAMセルの一実施例の構成概略図である。

【図 7】 2 ワードを連結して 1 エントリを構成した場合の 1 ワード回路の一実施例の構成概略図である。

【図 8】 連想メモリの一例を表わした回路ブロック図である。

【図 9】 データ拡張機能を備えた連想メモリの一例を示すブロック図である。

【図 1 0】 群構造のデータの一例を示す図である。

【符号の説明】

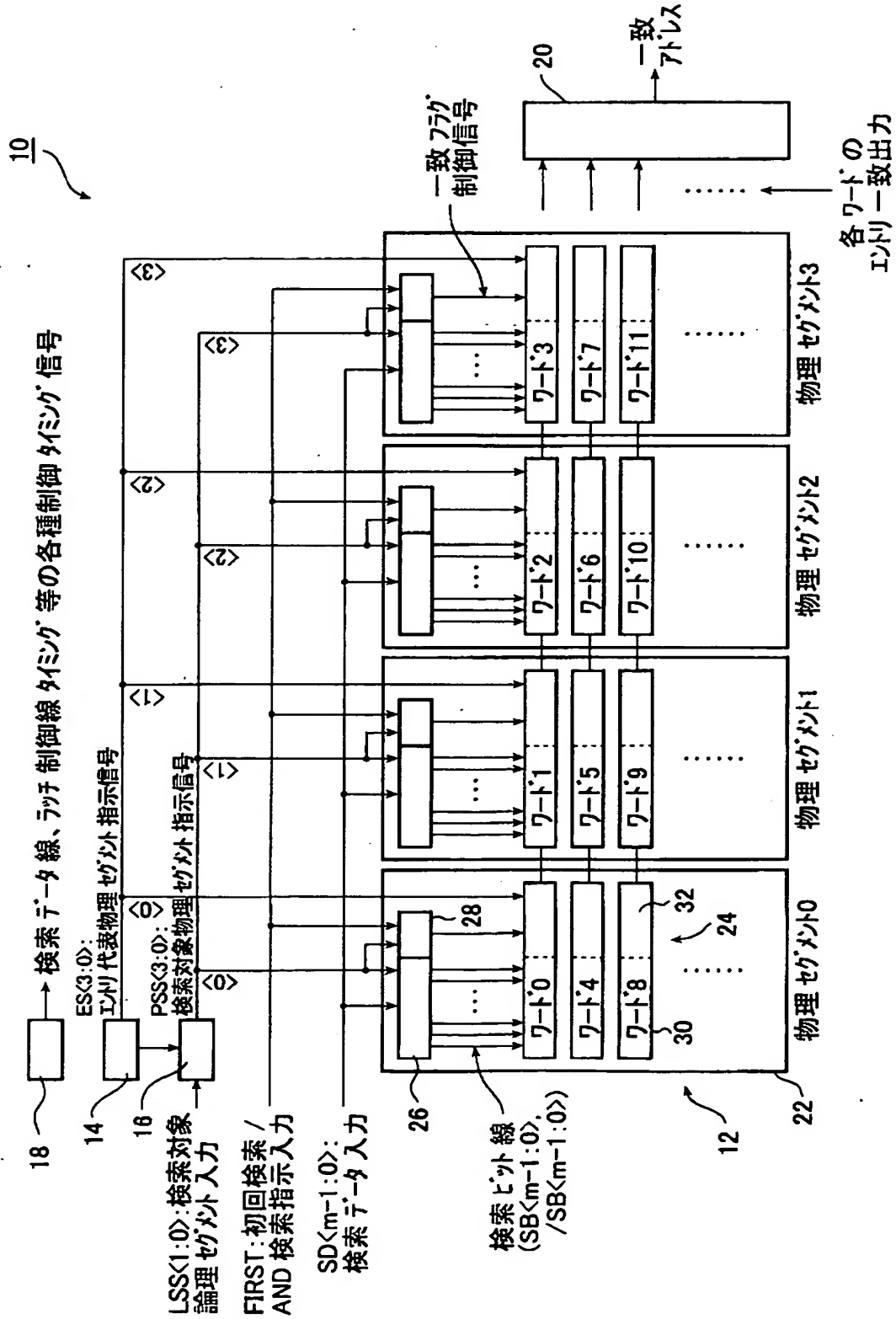
- 1 0 連想メモリ
- 1 2 メモリアレイ
- 1 4 エントリ構成設定レジスタ
- 1 6 論理セグメントー物理セグメント変換回路
- 1 8 タイミング発生回路
- 2 0 優先順位エンコーダ
- 2 2 メモリブロック
- 2 4 Nワード分の1ワード回路
- 2 6 検索ビット線ドライバ
- 2 8 一致フラグ制御信号発生回路
- 3 0 CAMメモリワード
- 3 2 ワードロジック
- 3 4 CAMセル
- 3 6 記憶セル
- 3 8 一致検出論理回路
- 4 0, 4 2, 4 4, 4 6 NMOS (N型MOSトランジスタ)
- 4 8 一致フラグレジスタ
- 5 0, 5 4 ANDゲート
- 5 2 ORゲート
- 1 0 0 連想メモリ
- 1 1 0 メモリワード
- 1 2 0 検索データレジスタ
- 1 4 0 一致線
- 1 5 0 フラグレジスタ
- 1 6 0 プライオリティエンコーダ
- 1 7 0 アドレスデコーダ
- 1 8 0 ワード線

- 1 9 0 出力レジスタ
- 2 0 0 アンドゲート
- 2 1 0 オアゲート
- 2 2 0 初回検索制御線
- 2 3 0 第 1 のフラグレジスタ
- 2 4 0 第 2 のフラグレジスタ
- 2 5 0 一致結果ラッチ制御線

【書類名】

図面

【図 1】





【図 2】

(a)

論理 セグメント0

エントリ0	ワード0(PS0)
エントリ1	ワード1(PS1)
エントリ2	ワード2(PS2)
エントリ3	ワード3(PS3)
⋮	⋮

(b)

論理 セグメント0    論理 セグメント1

エントリ0	ワード0(PS0)	ワード1(PS1)
エントリ1	ワード2(PS2)	ワード3(PS3)
エントリ2	ワード4(PS0)	ワード5(PS1)
エントリ3	ワード6(PS2)	ワード7(PS3)
⋮	⋮	⋮

(c)

論理 セグメント0    論理 セグメント1    論理 セグメント2    論理 セグメント3

エントリ0	ワード0(PS0)	ワード1(PS1)	ワード2(PS2)	ワード3(PS3)
エントリ1	ワード4(PS0)	ワード5(PS1)	ワード6(PS2)	ワード7(PS3)
エントリ2	ワード8(PS0)	ワード9(PS1)	ワード10(PS2)	ワード11(PS3)
エントリ3	ワード12(PS0)	ワード13(PS1)	ワード14(PS2)	ワード15(PS3)
⋮	⋮	⋮	⋮	⋮

\*PS0-3 はそれぞれ物理 セグメント0-3 を示す。

【図 3】

表 1. エントリ構成設定レジスタ

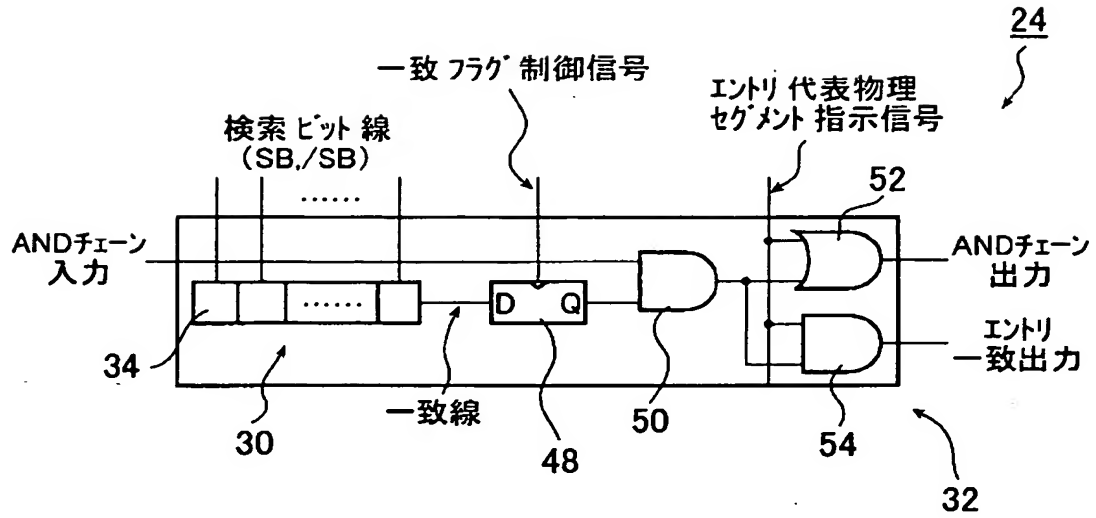
エントリ構成	ES<3:0>	説明
1ワード	1111	物理セグメント0-3 全てエントリ代表セグメント
2ワード	1010	物理セグメント3,1 がエントリ代表セグメント
4ワード	1000	物理セグメント3 がエントリ代表セグメント

【図 4】

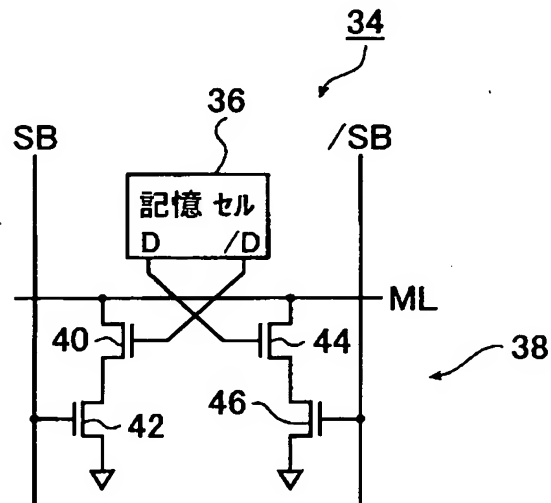
表 2. 論理セグメント- 物理セグメント変換回路

エントリ構成	LSS<1:0>	説明	PSS<3:0>	説明
1ワード	0 0	論理セグメント0	1111	物理セグメント0-3 検索対象
2ワード	0 0	論理セグメント0	0101	物理セグメント0、2 検索対象
	0 1	論理セグメント1	1010	物理セグメント1、3 検索対象
4ワード	0 0	論理セグメント0	0001	物理セグメント0 検索対象
	0 1	論理セグメント1	0010	物理セグメント1 検索対象
	1 0	論理セグメント2	0100	物理セグメント2 検索対象
	1 1	論理セグメント3	1000	物理セグメント3 検索対象

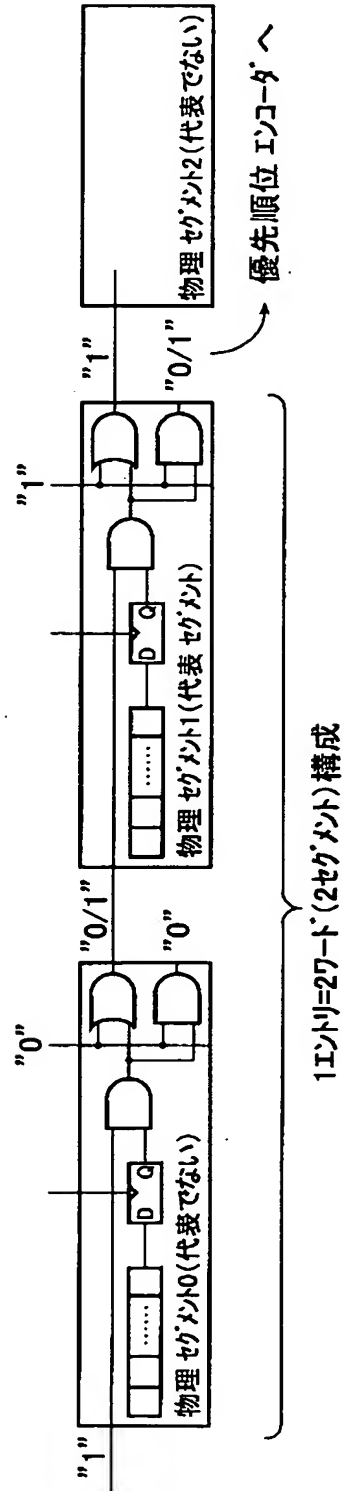
【図 5】



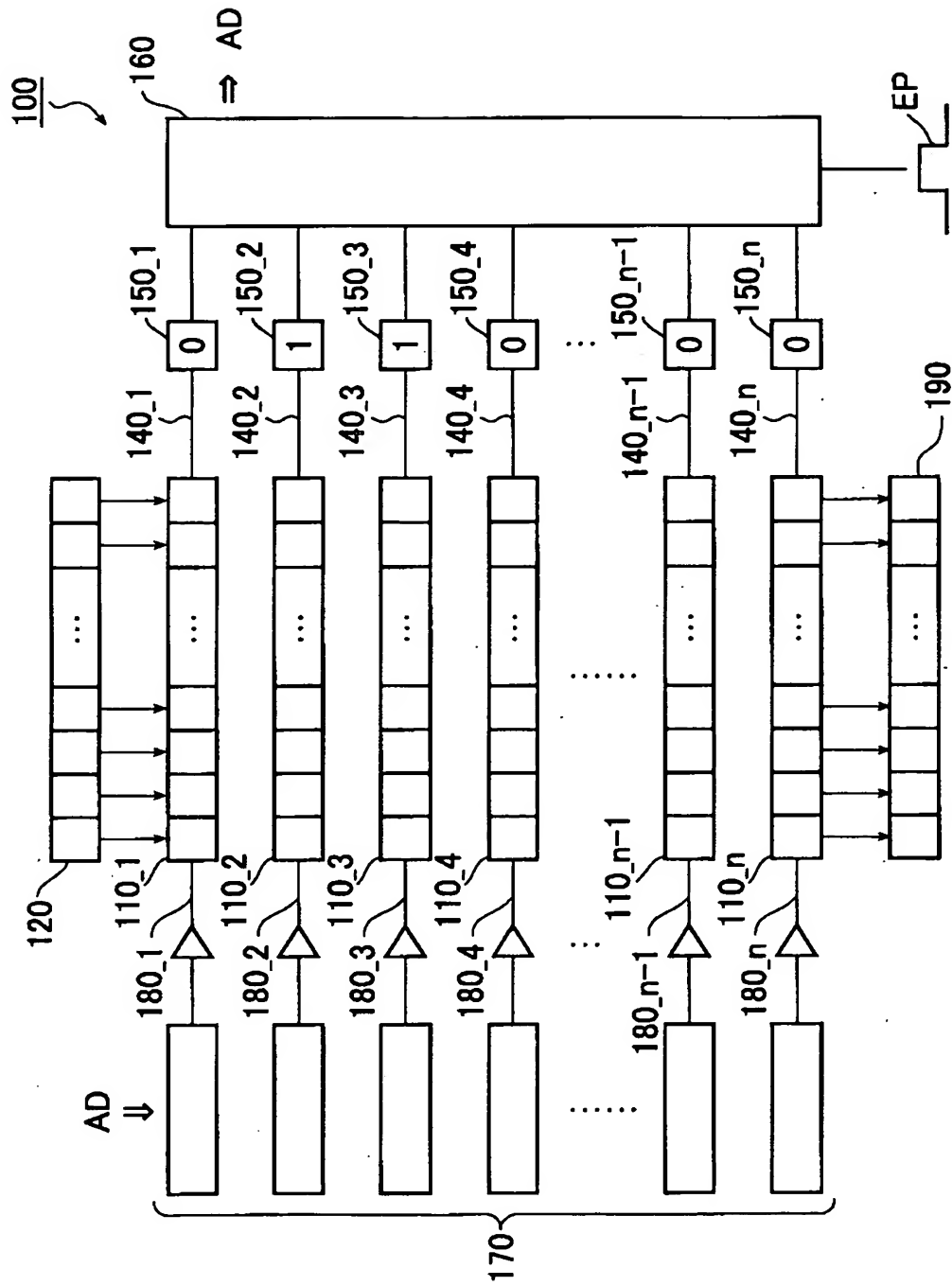
【図 6】



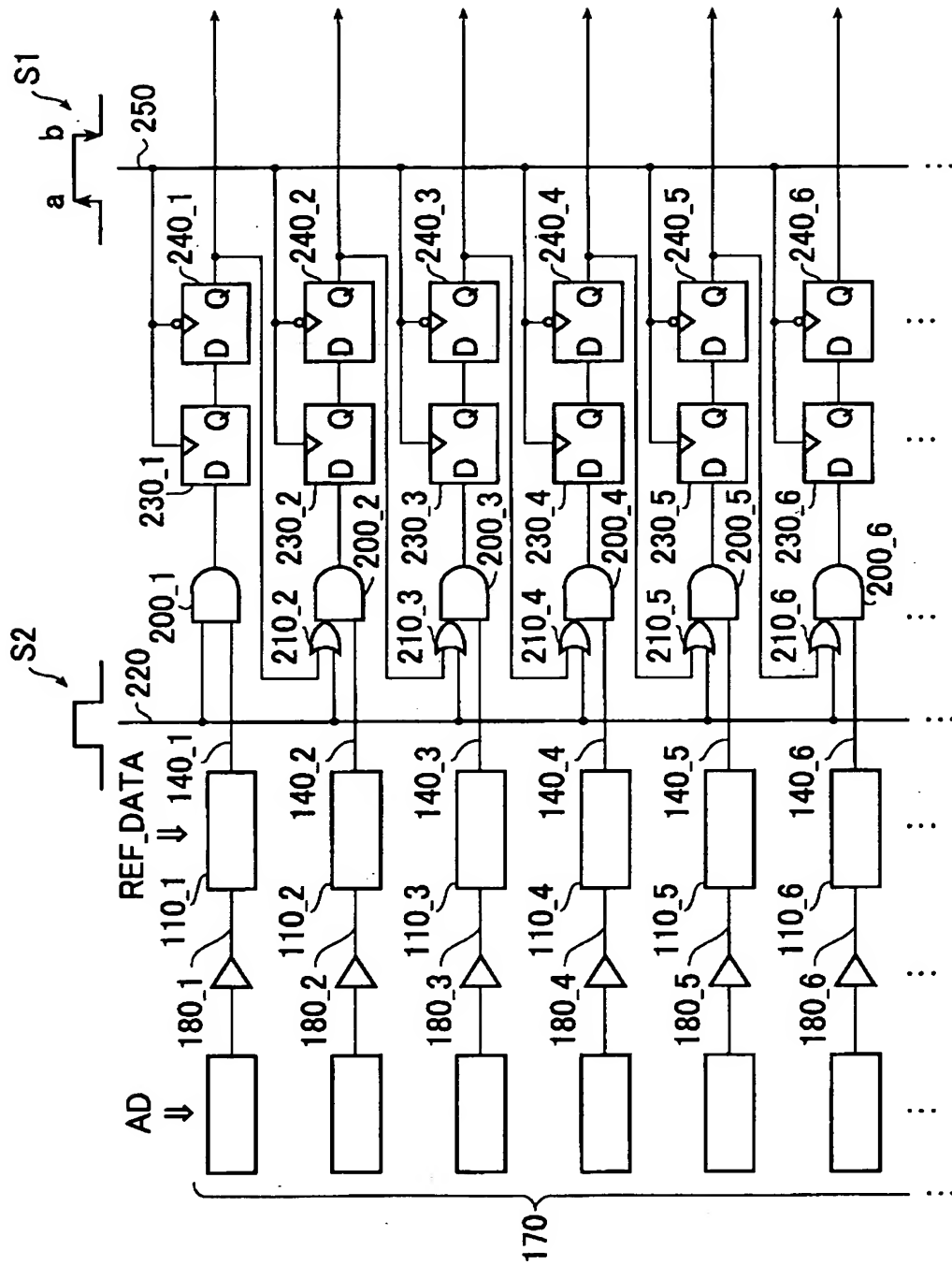
【図 7】



【図 8】



【図 9】



【図 1 0】

属性 郡番号	I	II	III	IV
1	A	B	C	D
2	C	F	G	H
3	J	K	L	M
4	C	A	B	D
⋮	⋮	⋮	⋮	⋮

【書類名】 要約書

【要約】

【課題】 連結した複数のメモリワードの検索を任意の順序で行えるようにするとともに、検索対象外となるメモリワードの検索動作を抑止することにより、大幅に消費電力を低減する。

【解決手段】 連想メモリは、複数のワードを連結して構成された複数のエントリを含むメモリアレイを備える。また、メモリアレイは、各々のエントリを構成する複数のワードの内の各々対応する複数のワードを含む複数のメモリブロックを備える。各々のメモリブロックは、それぞれ1ワード分のデータを記憶し、この記憶されたデータと検索ビット線上にドライブされた検索データとの一致検索を行って、その一致不一致の検出結果を出力する複数の1ワード回路と、検索データに応じて、各々対応するメモリブロックの検索ビット線をドライブする検索ビット線ドライバとを備える。一致検索を行うに際し、検索対象のメモリブロックにおいてのみ、検索ビット線ドライバにより検索ビット線をドライブする。

【選択図】 図1



【書類名】 出願人名義変更届

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2000-397268

【承継人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代表者】 平野 征

【提出物件の目録】

【物件名】 権利の承継を証明する書面 2

【援用の表示】 特願 2 0 0 0 - 0 0 3 3 2 8 の出願人名義変更届に添付  
のものを援用する。

【プルーフの要否】 要

特2000-397268

認定・付加情報

特許出願の番号	特願2000-397268
受付番号	50101346075
書類名	出願人名義変更届
担当官	末武 実 1912
作成日	平成13年10月25日

<認定情報・付加情報>

【提出日】	平成13年 9月13日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000001258]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 兵庫県神戸市中央区北本町通1丁目1番28号

氏 名 川崎製鉄株式会社

出 願 人 履 歴 情 報

識別番号 [501285133]

1. 変更年月日 2001年 7月17日

[変更理由] 新規登録

住 所 千葉県千葉市美浜区中瀬一丁目3番地

氏 名 川崎マイクロエレクトロニクス株式会社